

ՀՀ ԳԱԱ ԻՆՖՈՐՄԱՏԻԿԱՅԻ ԵՎ ԱՎՏՈՄԱՏԱՑՄԱՆ ՊՐՈՔԼԵՄՆԵՐԻ  
ԻՆՍՏԻՏՈՒՏ

---

Մարտիրոսյան Լուսինե Արմենի

**ՆԱՆՈՉԱՓԱԿԱՆ ՀԻՇՈՂ ՍԱՐՔԵՐԻ ՀԱՄԱՐ RTL ԹԵՍԱՅԻՆ ԼՈՒԾՈՒՄՆԵՐ  
ԳԵՆԵՐԱՑՆՈՂ ԿՈՄՊԻԼՅԱՏՈՐՆԵՐԻ ԲՆՈՒԹԱԳՐԵՐԻ ՍՏԱՑՄԱՆ ԳՈՐԾԻՔԱՅԻՆ  
ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՈՒՄԸ**

Ե. 13.03 «Հաշվողական մեքենաներ, համալիրներ, համակարգեր, ցանցեր, դրանց  
տարրերը և սարքավորումները» մասնագիտությամբ

Տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի  
հայցման ատենախոսության

ՍԵՂՄԱԳԻՐ

Երևան – 2019

---

---

ИНСТИТУТ ПРОБЛЕМ ИНФОРМАТИКИ И АВТОМАТИЗАЦИИ НАН РА

---

Мартиросян Лусине Арменовна

**РАЗРАБОТКА ИНСТРУМЕНТАЛЬНЫХ СРЕДСТВ ПОЛУЧЕНИЯ ХАРАКТЕРИСТИК RTL  
КОМПИЛЯТОРОВ, ГЕНЕРИРУЮЩИХ ТЕСТОВЫЕ РЕШЕНИЯ ДЛЯ НАНОРАЗМЕРНЫХ  
УСТРОЙСТВ ПАМЯТИ**

АВТОРЕФЕРАТ

диссертации на соискание ученой степени  
кандидата технических наук

По специальности: 05.13.03 – Вычислительные машины, комплексы, системы,  
сети, их элементы и устройства

Ереван – 2019

Ատենախոսության թեման հաստատվել է Հայաստանի ազգային պոլիտեխնիկական համալսարանում

Գիտական ղեկավար՝	Ֆիզ.մաթ.գիտ.դոկտոր	Ս.Կ. Շուքրյան
Պաշտոնական ընդդիմախոսներ՝	տեխ.գիտ.դոկտոր տեխ.գիտ.թեկնածու	Վ.Շ. Մելիքյան Ա.Կ. Սաղաթեյան
Առաջատար կազմակերպություն՝	Երևանի մաթեմատիկական մեթոդների գիտահետազոտական ինստիտուտ	

Պաշտպանությունը կայանալու է 2019թ. հուլիսի 30-ին, ժամը 16:00-ին ՀՀ ԳԱԱ Ինֆորմատիկայի և ավտոմատացման պրոբլեմների ինստիտուտում գործող 037 “Ինֆորմատիկա” մասնագիտական խորհրդի նիստում հետևյալ հասցեով՝ Երևան, 0014, Պ. Սևակի 1:

Ատենախոսությանը կարելի է ծանոթանալ ՀՀ ԳԱԱ ԻԱՊԻ-ի գրադարանում:  
Սեղմագիրն առաքված է 2019թ. հունիսի 21-ին:

Մասնագիտական խորհրդի գիտական քարտուղար, ֆ.մ.գ.դ.  Հ.Գ. Սարգսյանյան

Тема диссертации утверждена в Национальном политехническом университете Армении

Научный руководитель: доктор физ.-мат.наук С.К. Шукурян

Официальные оппоненты: доктор тех.наук В.Ш. Меликян  
кандидат тех.наук А.К.Сагателян

Ведущая организация: Ереванский научно-исследовательский институт математических наук

Защита состоится 30 июля 2019г. в 16:00 часов на заседании специализированного совета 037 “Информатика” Института проблем информатики и автоматизации НАН РА по адресу: 0014, г. Ереван, ул. П. Севака 1.

С диссертацией можно ознакомиться в библиотеке ИПИА НАН РА.  
Автореферат разослан 21 июня 2019г.

Ученый секретарь специализированного совета, д.ф.м.н.  А.Г. Саруханян

## Աշխատանքի ընդհանուր նկարագրությունը

### Թեմայի արդիականությունը

Թվային և անալոգային սարքերը ներկառուցված հիշողությունների և դրանց կապող սխեմաների հետ միասին հանդիսանում են Բյուրեղի վրա համակարգերի (անգլերեն՝ System on Chip SoC, ԲՎՀ) հիմնական բաղադրիչ մասերը: Համաձայն Semico Research Corporation-ի հետազոտության արդյունքների ներկառուցված հիշողությունները 2019թ. -ին կգրավեն ԲՎՀ-ի մակերեսի 75%-ից ավելին<sup>1</sup>:

Հուսալի ներկառուցված հիշողության համակարգեր ստանալու համար կիրառվում են արդի ինքնաթեստավորման և ինքնավերանորոգման լուծումներ, որոնք ներկառուցվելով ԲՎՀ-ում հնարավորություն են տալիս ամստորոշել, վերլուծել և վերանորոգել հիշողությունների սխալները<sup>2</sup>: Այդ ինքնաթեստավորման և ինքնավերանորոգման համակարգն իրականացվում է մակարդակների հիերարխիայի միջոցով, որոնց կարելի է դիմել առանձին, և միասին դրանք կազմում են Հիերարխիկ ներկառուցված թեստավորման ցանց (ՀՆԹՑ):

ՀՆԹՑ-ի բազմակի օգտագործման նպատակով այն պարամետրացվում է: Պարամետրացված մոդուլները ներկայացնելու ամենահարմար մակարդակը ռեգիստրային փոխանցման մակարդակն է (անգլերեն՝ Register Transfer Level (RTL)), քանի որ այդ մակարդակի նկարագրությունից կարելի է ստանալ թվային սխեմաների նկարագրության բոլոր ստորին մակարդակի նկարագրությունները: Հարմարավետության համար անհրաժեշտություն է առաջանում ավտոմատացնել նմուշների ընտրության և համապատասխան RTL նկարագրության գեներացման պրոցեսը: RTL նկարագրության ավտոմատ գեներացման համար օգտագործվում է հատուկ ծրագրային գործիք, որը կոչվում է RTL կոմպիլատոր (RTL գեներատոր)<sup>3</sup>:

RTL կոմպիլատորների հիերարխիայի նախագծման կարևոր փուլերից մեկը նախագծի պլանավորումն է՝ հաշվի առնելով տարրերի քանակը (անգլերեն՝ gate count) և հզորության սպառումը (անգլերեն՝ power consumption), որոնք հանդիսանում են RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերը: Նախագծի պլանավորումը կարևոր է երկու մակարդակում՝ և՛ նախագծումից առաջ, և՛ նախագծումից հետո: Նախագծումից առաջ պլանավորումը հնարավորություն է տալիս նախապես ստանալ ինֆորմացիա նշված կոնֆիգուրացիայով ՀՆԹՑ-ի բնութագրերի վերաբերյալ: Նախագծումից հետո պլանավորումը կիրառվում է մեծ ծավալի ստատիստիկ տվյալներ ստանալու համար:

---

<sup>1</sup><https://semico.com/content/worldwide-soc-market-forecast-approach-200-billion-2019-says-semico-research>.

<sup>2</sup> N. Mukherjee, A. Pogiel, J. Rajski, J. Tyszer, “High Volume Diagnosis in Memory BIST Based on Compressed Failure Data”, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, March, 2010, pp. 441-453.

<sup>3</sup> Y. Zorian, S. Shoukourian, “Embedded-Memory test and repair: Infrastructure IP for SoC yield”, IEEE Design and Test of Computers, May-June, 2003, pp. 58-66.

ՀԼԹՑ-ի նախագծման բնութագրերը հնարավոր է ճշգրտորեն գնահատել սինթեզի գործիքների միջոցով: Սակայն, մեծ թվով միավորների դեպքում, այս եղանակով գնահատումը դառնում է խիստ ժամանակատար և անարդյունավետ: Հետևաբար, անհրաժեշտ է մեթոդ RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման համար<sup>4</sup>: Այս խնդիրը լուծելու համար առաջարկվել են տարբեր մեթոդներ<sup>4,5</sup>, որոնք կիրառվել են տարբեր համակարգերում առկա նախագծման բնութագրերի արագ գնահատման խնդիրները լուծելու համար և ապահովել են բավարար ճշտություն:

Ներկայումս աշխարհը թևակոխել է նանոտեխնոլոգիայի դարաշրջան, որտեղ տրանզիստորի չափերը չեն գերազանցում մի քանի նանոմետրը<sup>6</sup>: Ներկառուցված հիշողությունների խտությունը ԲՎՀ-ում մեծացնելու նպատակով ՖինՖետS (անգլերեն՝ Fin Field Effect Transistor, FinFET) տեխնոլոգիայի վրա հիմնված նանոչափական հիշողության համակարգեր են կիրառվում<sup>7</sup>: ՖինՖետS տեխնոլոգիային բնորոշ առանձնահատկությունների պատճառով նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների հիերարխիայում տեղի են ունենում նախագծման բնութագրերի վարքագծերի փոփոխություններ, որոնք բնորոշ չեն հարթ (անգլերեն՝ Metal–Oxide–Semiconductor Field-Effect Transistor , MOSFET) տեխնոլոգիայով կառուցված RTL կոմպիլյատորներին: Գոյություն ունեցող նախագծման բնութագրերի արագ գնահատման մեթոդները հաշվի չեն առնում ՖինՖետS տեխնոլոգիային բնորոշ առանձնահատկությունները՝ հանգեցնելով մեթոդի գնահատման սխալի անընդունելի աճին: Բացի դրանից այդ մեթոդներով գնահատումը բավականին ժամանակատար է: Ուստի, նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման մեթոդի մշակման խնդիրը շարունակում է մնալ արդիական:

### ***Աշխատանքի նպատակը***

Աշխատանքի նպատակն է մշակել մեթոդ և գործիքային միջոցներ RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արդյունավետ գնահատման համար: Մեթոդը պետք է բավարարի նանոտեխնոլոգիայի դեպքում նախագծման բնութագրերի գնահատման պահանջներին և չպետք է ունենա խոչընդոտ ավելի ցածր ինտեգրացիայի սխեմաներում կիրառելու համար:

Նշված նպատակին հասնելու համար ատենախոսությունում դիտարկվել են հետևյալ

---

<sup>4</sup> Fei Li, Lei He, Basile J., Patel R. J., Ramamurthy H. “High-Level Area and Current Estimation”, International workshop, Turin, Italy, 2003. Vol. 2799, P. 259-268.

<sup>5</sup> A. Lamine, N. Chouba, L. Bouzaida, “Memory BIST area estimator using Artificial Neural Networks”, International Conference on Signals, Circuits and Systems, 2008.

<sup>6</sup> T.-J. King, “FinFETs for nanoscale CMOS digital integrated circuits”, Proceedings of the IEEE/ACM International conference on Computer-aided design (ICCAD '05)”, pp. 207-210, 2005.

<sup>7</sup> G. Harutyunyan, G. Tshagharyan, Y. Zorian, “Test & Repair Methodology for FinFET-Based Memories”, IEEE Transactions on Device and Materials Reliability, Vol. 15, No. 1, March 2015, pp. 3-9.

## խնդիրները.

- Հետազոտել գոյություն ունեցող արագ գնահատման մեթոդներով նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների նախագծման բնութագրերը գնահատելիս առաջացած խնդիրները:
- Հետազոտել նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի նոր տիպի վարքագծերը, որոնցից բխում են բնութագրերը գնահատելիս առաջացած խնդիրները:
- Մշակել մեթոդ, նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման համար:

### **Հեղափոխությունների առարկան**

Աշխատանքում հետազոտության առարկա է հանդիսացել նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների հիերարխիան:

### **Հեղափոխությունների մեթոդները**

Աշխատանքում օգտագործվել են թվային սխեմաների մակերեսի և հզորության սպառման գնահատման մեթոդները, վիճակագրական մշակման մեթոդները, տվյալների ինտերպոլացիայի, ռեգրեսիոն անալիզի և մեքենայական ուսուցման (անգլերեն՝ machine learning) միջոցով մշակման մեթոդները:

### **Գիտական նորույթը**

- Մշակվել է մեթոդ, նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորի նախագծման բնութագրերի արագ գնահատման համար՝ հիմնված ռեգրեսիոն անալիզի փոքրագույն քառակուսիների մեթոդի վրա: Մեթոդի գնահատման սխալը չի գերազանցել 10%-ը:
- Կատարվել է մշակված մեթոդի ընդլայնում՝ RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման համար:
- Նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման մեթոդի ժամանակատարությունը նվազեցնելու նպատակով իրականացվել է մշակված մեթոդի ընդլայնում՝ հիմնված մեքենայական ուսուցման մեթոդների վրա: Մշակված մեթոդի գնահատման սխալը չի գերազանցել 11.5%-ը:

### **Մտացված արդյունքների կիրառական նշանակությունը**

- Մշակված մեթոդները կիրառվել են նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող իրական RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման համար:
- RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման մեթոդի ելքային արդյունքները կիրառվել են ՀՆԹՑ-ի նախնական պլանավորման գործիքներում:
- Մեթոդի հիման վրա մշակված սցենարները կիրառվել են ծրագրային գործիքում, որը RTL կոմպիլյատորների հիերարխիայի բոլոր բաղադրիչների նախագծման

բնութագրերը քայլ առ քայլ հաշվարկելու փոխարեն աշխատում է RTL կոմպիլյատորների միջավայրից անկախ՝ «մեկ-կոճակ» գործողության միջոցով, և քողարկում է հիերարխիայի հետ աշխատանքը:

### **Ներդրումներ**

Նանդափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման մեթոդի հիման վրա մշակվել են՝

- շաբլոններ, որոնք ներդրվել են «Սինոփսիս» ընկերության DesignWare STAR Memory System (SMS) արտադրանքում՝ բնութագրերի արագ գնահատման համար,
- սցենարներ, որոնք դիմելով բնութագրերն արագ գնահատող շաբլոններին, ստանում են տվյալներ նշված կոնֆիգուրացիայով SMS համակարգի նախագծման բնութագրերի վերաբերյալ: Մշակված սցենարները ներդրվել են «Սինոփսիս» ընկերության STAR Planner, DesignWare SMS DA ծրագրային գործիքներում՝ ՀՆԹՑ-ի նախնական պլանավորումն իրականացնելու համար:

### **Պաշտպանությանը ներկայացվում են հետևյալ դրույթները**

- Նանդափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորի նախագծման բնութագրերի արագ գնահատման մեթոդը՝ ռեգրեսիոն անալիզի փոքրագույն քառակուսիների մեթոդի կիրառմամբ:
- Մշակված մեթոդի ընդլայնումը RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման համար:
- Նանդափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման մշակված մեթոդի ընդլայնումը՝ հիմնված մեքենայական ուսուցման մեթոդների վրա:

### **Արագված արդյունքների ապրոքացիան**

Աշխատանքի հիմնական արդյունքները և դրույթները զեկուցվել են միջազգային գիտաժողովներում (CSIT 2013, EWDTS 2015, EWDTS 2016, EWDTS 2017), ՏՀԵԻ նստիստուտի ԲՀԼՑ ամբիոնում:

### **Հրապարակությունները**

Աշխատանքի հիմնական արդյունքները տպագրված են 7 աշխատություններում: Հրապարակությունների ցուցակը բերված է սեղմագրի վերջում:

### **Արենախոսության կառուցվածքը և ծավալը**

Աշխատանքը կազմված է ներածության բաժնից, երեք գլուխներից, եզրակացությունից, նկարների, աղյուսակների, գրականության ցանկերից և հավելվածից: Այն կազմում է 111 էջ, ունի 48 նկար և 7 աղյուսակ: Գրականության ցանկը զբաղեցնում է 6 էջ և ներառում է 72 աշխատություն:

**Շնորհակալություն** են հայտնում աշխատանքի գիտական ղեկավար, ՀՀ ԳԱԱ ակադեմիկոս, ֆ.մ.գ.դ., պրոֆեսոր Ս. Կ. Շուքուրյանին, տ.գ.դ. Գ. Է. Հարությունյանին և ֆ.մ.գ.թ. Հ. Գրիգորյանին, ովքեր օգտակար խորհուրդներով էապես նպաստեցին աշխատանքի կայացմանը:

# ԱՏԵՆԱԽՈՍՈՒԹՅԱՆ ՀԱՄԱՌՈՏ ԲՈՎԱՆԴԱԿՈՒԹՅՈՒՆԸ

Ներածության բաժնում հիմնավորվել է թեմայի արդիականությունը և ձևակերպվել է աշխատանքի նպատակը:

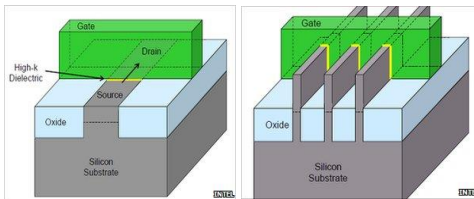
**Առաջին գլխում** դիտարկվել են RTL կոմպիլյատորների հիերարխայի նախագծման բնութագրերը և դրանց արագ գնահատման անհրաժեշտությունը: Այնուհետև անդրադարձ է կատարվել նանոտեխնոլոգիայի անցման դեպքում RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի հնարավոր փոփոխություններին: Դիտարկվել են նախագծման բնութագրերի արագ գնահատման գոյություն ունեցող մեթոդները և դրանց թերությունները նանոտեխնոլոգիայի դեպքում:

**§1.1 ենթագլխում** ներկայացվել է RTL կոմպիլյատորների հիերարխիայի իրականացումը շաբլոնների մշակման համակարգի (ՇՄՀ) միջոցով: ՇՄՀ-ը կատարում է մուտքային տվյալների տարբեր ձևափոխություններ: Այն հնարավորություն է տալիս ընդամենը մեկ լեզվական միջավայր տիրապետելով ստեղծել համակարգ, որին հետագայում կարող ենք ավելացնել ցանկացած նոր տիպի կառուցվածքներ: Շաբլոնների մշակման գործընթացը հեշտացնելու նպատակով նախագիծը կարող է բաժանվել ենթամոդուլների և բազմակի օգտագործվել:

**§1.2 ենթագլխում** դիտարկվել են նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL նկարագրությունների նախագծման բնութագրերը: Առանձնացվել են մակերես (տարրերի քանակ) ու հզորության սպառումը:

**§1.3 ենթագլխում** դիտարկվել է RTL կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման անհրաժեշտությունը: Ներկայացվել են RTL նկարագրությունների մակերեսի և հզորության սպառման ճշգրիտ գնահատման մեթոդները՝ կառուցվածքային սինթեզ իրականացնող գործիքների միջոցով: Հիմնավորվել է այս եղանակի անարդյունավետությունը և ժամանակատարությունը՝ RTL կոմպիլյատորների հիերարխիայի մեծ թվով նմուշների նախագծման բնութագրերը գնահատելիս:

**§1.4 ենթագլխում** հետազոտվել է հարթ և ՖինՖեՏ տեխնոլոգիաների կառուցվածքային տարբերությունների համեմատական ազդեցությունը RTL կոմպիլյատորների նախագծման բնութագրերի վրա<sup>8</sup> (Նկար 1):



Նկար 1: Հարթ և ՖինՖեՏ տեխնոլոգիաների կառուցվածքային տարբերությունները [8]

ՖինՖեՏ տեխնոլոգիայի գլխավոր առանձնահատկությունն այն է, որ երկչափ (հարթ) տրանզիստորից անցում է կատարվում եռաչափ (տարածական) տրանզիստորի:

<sup>8</sup> <http://www.cpushack.com/2011/05/09/intels-ivy-bridge-50-years-of-flat-transistors-come-to-an-end/>

ՖինՖԵՏ տրանզիստորը հարթ տրանզիստորից տարբերվում է նրանով, որ ղեկավարող հոսքուղին բաղկացած է բարակ ուղղահայաց կիսահաղորդչային «ֆիններից» (անգլերեն՝ fin), որոնք շրջափակված են «փականի» (անգլերեն՝ gate) էլեկտրոդներով: Նման կառուցվածքը մեծացնում է հոսքուղու ղեկավարման արդյունավետությունը: Ինչպես երևում է նկարից ՖինՖԵՏ տրանզիստորի դեպքում հոսքուղին փոխարինված է բարակ, ուղղահայաց և երկար ֆիններով: Ֆինների քանակի մեծացումը ավելացնում է ակունքի (անգլերեն՝ source) և արտաբերի (անգլերեն՝ drain) միջև հոսքը<sup>9</sup>:

ՖինՖԵՏ տրանզիստորի եռաչափ կառուցվածքը հնարավորություն է տալիս լուծել հարթ տրանզիստորներին բնորոշ մի շարք խնդիրներ՝ բարելավվում է էլեկտրաստատիկ պարամետրերը, նվազեցնում է արտահոսքի հոսանքները և այլն:

Այս ենթազվյալում դիտարկվել են նաև ՖինՖԵՏ տեխնոլոգիայի դեպքում ներկառուցված հիշողություններում առաջացած անսարքությունները, դրանց հայտնաբերման և վերանորոգման անհրաժեշտությունը<sup>10</sup>: Այնուհետև հետազոտվել են այդ փոփոխությունների ազդեցությունները ՀՆԹՑ-ի նախագծման բնութագրերի վրա: Հետազոտությունների արդյունքում պարզ է դարձել, որ ՖինՖԵՏ տեխնոլոգիայի դեպքում ՀՆԹՑ-ի նախագծման բնութագրերը դրսևորում են նոր տիպի վարքագծեր, որոնք բնորոշ չեն հարթ տեխնոլոգիայով կառուցված RTL կոմպիլյատորներին:

**§1.5 ենթազվյալում** հետազոտվել և վերլուծվել են RTL կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման մեթոդները: Այդ մեթոդներն արագագործ են, սակայն ճշտությամբ զիջում են սինթեզի գործիքներով նախագծման բնութագրերի գնահատման արդյունքներին: Դիտարկվել են այդ մեթոդների թերություններն ու առավելությունները: Հետազոտությունների արդյունքում պարզ է դարձել, որ գոյություն ունեցող նախագծման բնութագրերի բարձր մակարդակի գնահատման մեթոդները հաշվի չեն առնում ՖինՖԵՏ տեխնոլոգիային բնորոշ առանձնահատկությունները՝ հանգեցնելով գնահատման սխալի անընդունելի աճին: Բացի այդ նանոտեխնոլոգիայի դեպքում այդ մեթոդներով բնութագրերի արագ գնահատումը բավականին ժամանակատար է: Հիմնվելով հետազոտական աշխատանքների արդյունքների վրա ձևակերպվել է նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի նոր արագ գնահատման մեթոդի մշակման անհրաժեշտությունը:

**§1.6-ում** ձևակերպվել է ատենախոսության նպատակը և խնդրի դրվածքը:

**Երկրորդ գլուխը** նկարագրում է նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման մշակված մեթոդը:

---

<sup>9</sup> H.-W. Cheng, Y. Li, “16-nm Multigate and Multifin MOSFET Device and SRAM Circuits”, International Symposium on Next-Generation Electronics, 2010, pp. 32-35.

<sup>10</sup> G. Tshagharyan, G. Harutyunyan, S. Shoukourian, Y. Zorian, “Overview Study on Fault Modeling and Test Methodology Development for FinFET-Based Memories”, IEEE East-West Design and Test Symposium (EWDTS), Georgia, 2015, pp. 19-22.



**§2.1 ենթագլխում** ներկայացվել է RTL կոմպիլյատորների կողմից գեներացված նկարագրությունների նախագծման բնութագրերի և մուտքային պարամետրերի միջև կախվածությունն արտահայտող մոդելը:

RTL կոմպիլյատորները տրված մուտքային պարամետրերի դեպքում գեներացնում են պարամետրացված և կանոնավոր նմուշներ, որոնք ազդում են նախագծի կառուցվածքի և ֆունկցիոնալության վրա՝ ավելացնելով կամ նվազեցնելով նախագծի որոշ բնութագրեր: Ոստի, ՀՆԹՑ-ի բնութագրերը փոփոխվում են նմուշից նմուշ: Այսպիսով, RTL կոմպիլյատորների կողմից գեներացրած նմուշների նախագծման բնութագրերի և մուտքային պարամետրերի արժեքների միջև գոյություն ունեն ֆունկցիոնալ կախվածություններ: Հարթ տեխնոլոգիայով կառուցված RTL կոմպիլյատորների դեպքում այդ կախվածությունը գծային է:

Հետազոտական աշխատանքների արդյունքում ստացվել է, որ ՖինՖեՏ տեխնոլոգիայի անցման դեպքում RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի վարքագծերը փոփոխվում են: Ի տարբերություն հարթ տեխնոլոգիայի ՖինՖեՏ տեխնոլոգիայի դեպքում դրանք դրսևորում են ինչպես գծային, այնպես էլ տատանումներով (պոլինոմիալ) վարքագիծ: Հետևաբար, իրականացվել է RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի և մուտքային պարամետրերի միջև կախվածությունն արտահայտող գոյություն ունեցող մոդելի ընդլայնում՝ հաշվի առնելով նանոտեխնոլոգիային բնորոշ առանձնահատկությունները:

Նշված կախվածությունները բնութագրող ֆունկցիաների անալիտիկ տեսքը բացահայտելուց հետո հնարավոր կլինի արագ գնահատել ՀՆԹՑ-ի նախագծման բնութագրերը: Քանի որ ֆունկցիայի անալիտիկ տեսքն անհայտ է, առաջարկվել է կիրառել մոտարկում<sup>11</sup>: RTL նկագրությունների նախագծման բնութագրերի իրական արժեքները որոշակի նմուշների համար գնահատվում են ճշգրիտ մեթոդներով՝ սինթեզի գործիքների օգնությամբ: Դրանից հետո մոտարկման եղանակն ընտրելու միջոցով ստացվում է համապատասխան ֆունկցիան: Հարթ տեխնոլոգիայի դեպքում այդ կախվածությունները դրսևորում են գծային վարքագիծ: Այդ պատճառով ընդամենը երեք ինտերպոլացիոն կետեր ընտրելով և հատվածագծային ինտերպոլացիա կիրառելով հնարավոր է բարձր ճշտությամբ (գնահատման սխալը 10%) արագ գնահատել նախագծման բնութագրերը: Սակայն, հատվածագծային ինտերպոլացիայի կիրառմամբ RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերը գնահատելիս մեծանում է շեղումը իրական և կանխատեսված արժեքների միջև, որի հետևանքով գնահատման սխալը մեծանում է: Գնահատման սխալը նվազեցնելու նպատակով անհրաժեշտ է պարամետրերի արժեքների ամբողջ միջակայքը բաժանել մեծ թվով հատվածների՝ գծային լինելու պայմանը բավարարելու համար, որի հետևանքով ավելանում է ինտերպոլացիոն կետերի և պարամետրերի վարքը բնորոշող մոտարկման ֆունկցիաների քանակը: Այդ դեպքում կպահանջվի ավելի շատ ժամանակ պարամետրերի վարքը բնութագրելու համար: Հետևաբար, հատվածագծային ինտերպոլացիայի կիրառմամբ նախագծման

---

<sup>11</sup> A. Ter-Galstyan, “An Automation Method for Gate-Count Characterization of RTL Compilers”, East-West Design & Test Workshop, Sochi, Russia, pp. 313-316, Septembsser 15-19, 2006.

բնութագրերի արագ գնահատման մեթոդի իրականացումը կդառնա խիստ ժամանակատար և ոչ նպատակահարմար:

Ուստի, նշված խնդիրների պատճառով հետազոտվել են ինտերպոլացիայի իրականացման այլ եղանակները, որոնք հնարավորություն կտան գնահատել ինչպես գծային, այնպես էլ պոլինոմիալ վարքագիծ դրսևորող նախագծման բնութագրերին:

**§2.2 ենթազվյում** մշակվել է մեթոդ RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման համար:

Փոքրագույն քառակուսիների մեթոդը ռեգրեսիոն անալիզի ամենատարածված մեթոդներից է: Այն լայնորեն կիրառվում է արդի հետազոտական աշխատանքներում՝ հնարավորություն տալով լուծել տարբեր ոլորտներում հանդիպող մոտարկման խնդիրները: Այս մեթոդի գլխավոր առավելությունն այն է, որ բնութագրում է ֆունկցիաներին և՛ գծային և՛ պոլինոմիալ վարքագծերի դեպքում<sup>2</sup>:

Դիցուք իրարից տարբեր  $x_0, x_1, x_2, \dots, x_n$  կետերում հայտնի են  $f(x)$  ֆունկցիայի  $f(x_0), f(x_1), \dots, f(x_n)$  արժեքները: Գծային վարքագծի դեպքում ֆունկցիան բնութագրվում է հետևյալ բանաձևով՝

$$f(x_i) = a + b * x_i \quad (1)$$

որտեղ  $i=0,1, \dots, n$ ,  $a$  և  $b$  անորոշ գործակիցներն են:

Երբ ֆունկցիայի վարքագիծը դրսևորվում է տատանումներով, այն բնութագրվում է հետևյալ բանաձևով՝

$$f(x_i) = a_0 + a_1 * x_i + a_2 * x_i^2 + \dots + a_n * x_i^n \quad (2)$$

որտեղ  $i=0,1, \dots, n$ ,  $a_0, \dots, a_n$  անորոշ գործակիցներն են:

Փոքրագույն քառակուսիների մեթոդի դեպքում անորոշ գործակիցները հաշվվում են այնպես, որ իրական արժեքների և մոդելավորված տվյալների տարբերությունների քառակուսիների գումարը ձգտի մինիմումի: Դա կոչվում է փոքրագույն քառակուսիների սխալանք (անզլերեն՝ least square error), և հաշվարկվում է հետևյալ բանաձևով՝

$$R^2 = \sum_{i=1}^n (Y_i - f(x_i))^2 \quad (3)$$

որտեղ  $i=0,1, \dots, n$ :

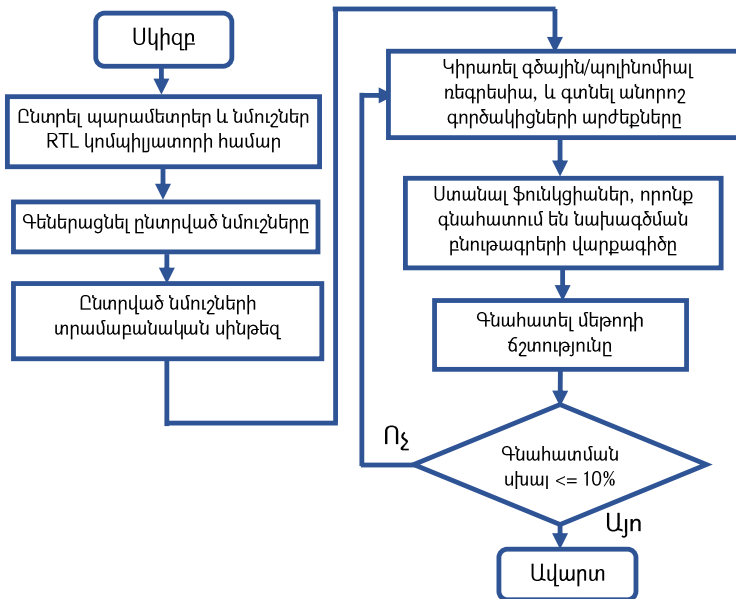
Հետազոտությունների արդյունքում պարզ է դարձել, որ փոքրագույն քառակուսիների մեթոդը հնարավորություն է տալիս ՖինՖԵՏ տեխնոլոգիայի դեպքում բարձր ճշտությամբ գնահատել նախագծման բնութագրերի վարքագծերը: Հետևաբար, մշակվել է մեթոդ նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման համար՝ հիմնված փոքրագույն քառակուսիների մեթոդի վրա (Նկար 2):

Մեթոդի նկարագրությունը հետևյալն է՝

1. Առանձնացվում են այն պարամետրերը, որոնք էպպես ազդում են նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորի նախագծման բնութագրերի վրա:
2. Պարամետրերի արժեքների ամբողջ միջակայքում հավասարաչափ բաշխված ընտրվում են մոտարկման կետեր:

<sup>2</sup> 3. Հակոբյան, Թվային Մեթոդներ, Երևան-2003, էջ 221:

3. Ընտրված կետերի համար տրամաբանական սինթեզի միջոցով հաշվում են նախագծման բնութագրերի իրական արժեքները:
4. Ստացված տվյալների միջոցով կառուցվում են յուրաքանչյուր պարամետրի հետ կապված նախագծման բնութագրի վարքը բնորոշող մոտարկման ֆունկցիաները՝ փոքրագույն քառակուսիների մեթոդի կիրառմամբ:
5. Այնուհետև ստուգվում է մեթոդի ճշտությունը՝ այլ նմուշների համար իրական և մոտարկման եղանակով ստացված տվյալները համեմատելու միջոցով: Եթե գնահատման սխալը չի գերազանցում 10%-ը, ապա տվյալ մուտքային պարամետրին համապատասխանող մոտարկման ֆունկցիան օգտագործվում է արագ գնահատման մեթոդում: Նշված պայմանի տեղի չունենալու դեպքում, անհրաժեշտ է լավարկել բանաձևը՝ նոր ինտերպոլացիոն կետեր ավելացնելու, բազմանդամի աստիճանը փոխելու միջոցով:



Նկար 2: RTL կոմպիլյատորի նախագծման բնութագրերի արագ գնահատման մեթոդի իրականացման բրդ-սխեման՝ փոքրագույն քառակուսիների մեթոդի կիրառմամբ

Մեթոդն էապես նվազեցնում է նախագծման բնութագրերի իրական և կանխատեսվող արժեքների միջև շեղումը՝ բարելավելով գնահատման սխալը մինչև 10%: Սկզբում այն կիրառվել է մեկ RTL կոմպիլյատորի նախագծման բնութագրերի արագ գնահատման համար: Հետագայում մեթոդն առաջին անգամ կիրառվել է RTL կոմպիլյատորի ամբողջ հիերարխիայի նախագծման բնութագրերի արագ գնահատման համար: Սակայն, մեթոդի իրականացման համար անհրաժեշտ է ավելացնել ինտերպոլացիոն կետերի քանակը, որի հետևանքով կմեծանա իրականացման ժամանակը: Հետևաբար,

հետազոտվել են նախագծման բնութագրերի արագ գնահատման մեթոդի հետագա ավտոմատացման հնարավորությունները:

Այժմ մեքենայական ուսուցումը մեծ կիրառություն է ստացել տարբեր բնագավառներում: Այն փորձնական տվյալների հիման վրա նախագծում է ալգորիթմներ, որոնք ուսուցման միջոցով կարող են բարելավել իրենց վարքագիծը: Մեքենայական ուսուցման ալգորիթմները բաժանվում են երկու խմբերի՝ վերահսկվող (անգլերեն՝ supervised) և չվերահսկվող (անգլերեն՝ unsupervised):

Վերահսկվող ուսուցման դեպքում ունենք մուտքային (X) փոփոխականը, ելքային (Y) փոփոխականը և ուսուցման ալգորիթմը, որն օգտագործվում է ելքային արժեքը կանխատեսելու համար<sup>13</sup>:

$$Y = f(X) \tag{4}$$

Գլխավոր նպատակն է ստանալ մոտարկող ֆունկցիա, որը նոր մուտքային տվյալների դեպքում ճշգրիտ կարտապատկերի ելքային արժեքը: Ուսուցումն իրականացվում է պիտակավորված տվյալների (անգլերեն՝ labeled data) միջոցով:  $x^{(i)}$ -ը մուտքային փոփոխականներն են, որոնք կոչվում են նաև մուտքային առանձնահատկություններ:  $y^{(i)}$ -ն ելքային փոփոխականն է կամ թիրախային փոփոխականը, որն անհրաժեշտ է կանխատեսել:  $(x^{(i)}, y^{(i)})$  կոչվում է ուսուցման օրինակ, իսկ ուսուցման օրինակների խումբը  $\{(x^{(i)}, y^{(i)})\}$ , որտեղ  $i=1, 2, \dots, m$  կոչվում է ուսուցման հավաքածու: Վերահսկվող ուսուցման նպատակն է տրված հավաքածուի համար  $h: X \rightarrow Y$  ֆունկցիան ուսուցանել այնպես, որ այն “ճշգրիտ” կանխատեսի համապատասխան Y ելքային արժեքը:  $h$  ֆունկցիան կոչվում է հիպոթեզ: Պիտակավորված դիտարկումներից հետո առանձնացվում են ուսուցման և թեստավորման հավաքածուները: Ուսուցման հավաքածուի հետազոտությունից հետո ընտրվում է ուսուցման եղանակն ու իրականացվում է մեքենայական մոդելի ուսուցում, որը հետագայում կուտակված փորձի միջոցով պարամետրերի ընտրված ցանկացած հավաքածուի համար պետք է կանխատեսի նախագծման բնութագրերի ելքային արժեքները: Միաժամանակ թեստավորման հավաքածուի միջոցով իրականացվում է մեթոդի ճշտության ստուգում: Եթե ճշգրտման արդյունքում պարզվում է, որ կանխատեսման մոդելը սխալ է աշխատում, ապա կուտակված փորձի և ճշգրտումների շնորհիվ իրականացվում է մոդելի ուսուցում:

Հաշվի առնելով RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի դրսևորած վարքագծերը, դրանց արագ գնահատման համար կիրառվել են վերահսկող ուսուցման մեթոդները: Դասակարգման մեթոդը կիրառվել է RTL կոմպիլատորների մուտքային պարամետրերը երկու խմբերի բաժանելու համար՝ գծային և պոլինոմիալ: Ռեգրեսիոն անալիզի մեթոդներն օգտագործվել են նախագծման բնութագրերի վարքագծերը նկարագրող ֆունկցիաների ստացման համար:

Աշխատանքում մշակվել է նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման մեթոդ, որը հիմնված է մեքենայական ուսուցման վրա: Վերջինս հանդիսանում է փոքրագույն քառակուսիների մեթոդի վրա հիմնված նանոչափական

<sup>13</sup> <https://blogs.nvidia.com/blog/2018/08/02/supervised-unsupervised-learning/>

հիշող սարքերի թեստային լուծումներ գեներացնող RTL կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման մեթոդի ընդլայնումը և հնարավորություն է տալիս ավտոմատացնել բնութագրերի գնահատման գործընթացը:

Մեթոդի իրականացումը բաղկացած է հետևյալ քայլերից՝

1. **RTL կոմպիլյատորների հիերարխիայի մուտքային պարամետրերի առանձնացում:** Այս փուլում դիտարկվում և առանձնացվում են բոլոր այն մուտքային պարամետրերը, որոնք ազդում են RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի վրա:
2. **Նմուշների գեներացիա:** Յուրաքանչյուր պարամետրի հետ կապված նախագծման բնութագրերի վարքը նկարագրելու համար պարամետրի թույլատրելի արժեքների ամբողջ միջակայքից ընտրվում են նմուշներ, սակայն ի տարբերություն նախորդ մեթոդի այս դեպքում էապես կրճատվում է ընտրված նմուշների քանակը: Այդ նմուշները գեներացվում են համապատասխան գործիքների միջոցով:
3. **Ընտրված նմուշների տրամաբանական սինթեզ:** Տրամաբանական սինթեզ իրականացնող գործիքների միջոցով ստացվում են յուրաքանչյուր պարամետրի առանձնացված նմուշների նախագծման բնութագրերի իրական արժեքները:
4. **Նախագծման բնութագրերի տվյալների բազայի կառուցում:** Տրամաբանական սինթեզից հետո ստացված տվյալների հիման վրա կառուցվում է տվյալների բազա, որն հանդիսանում է մուտքային ինֆորմացիա (ուսուցման հավաքածու) մեքենայական ուսուցման ռեգրեսիոն անալիզի մոդելների համար:
5. **Նախագծման բնութագրերի ստացումը մեքենայական ուսուցման ռեգրեսիոն անալիզի մոդելների միջոցով:** Այս փուլում մեքենայական ուսուցման ռեգրեսիոն անալիզի մոդելներով ստացվում են RTL կոմպիլյատորների նախագծման բնութագրերի վարքագծերը գնահատող բանաձևերը:
6. **Մեթոդի ճշգրտության գնահատում:** Որոշ թեստավորման հավաքածուների համար մեքենայական ուսուցման ռեգրեսիոն անալիզի մոդելների միջոցով կանխատեսված արժեքները համեմատվում են տրամաբանական սինթեզից ստացված իրական արժեքների հետ: Եթե գնահատման սխալը թույլատրելի սահմաններում չէ, ապա անհրաժեշտ է վերադառնալ նախորդ փուլ և ռեգրեսիայի մոդելները ճշգրտելու միջոցով լավարկել հավասարումները:

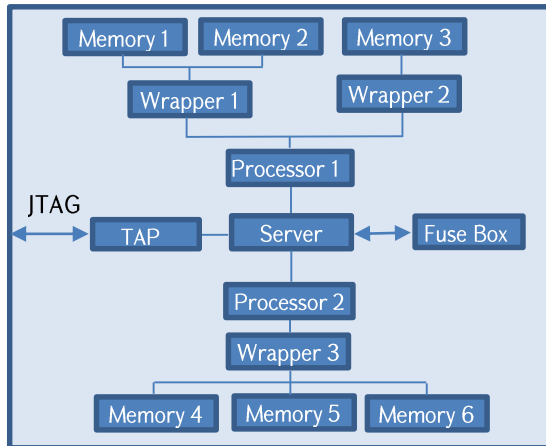
Մեքենայական ուսուցման ռեգրեսիոն անալիզի մոդելները ավտոմատացնում են նախագծման բնութագրերի գնահատման գործընթացը՝ էապես կրճատելով մեթոդի իրականացման ժամանակը:

**§2.3 ենթազխում** ներկայացվել է ՀՆԹՑ խմբավորման մեթոդը: Ներկառուցված հիշողությունների նախագծման ամենակարևոր փուլերից մեկը նախագծի սկզբնական պլանավորումն է՝ հաշվի առնելով բնութագրերի արժեքները: Այս ենթազխում դիտարկվել է խմբավորման մեթոդի իրականացման ընթացակարգը, որը հաշվի է առնում հիշողության ՀՆԹՑ-ի տարրերի քանակի և հզորության սպառման առավելագույն արժեքները, ինչպես նաև օպտիմալ թեստավորման ժամանակը: RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման մեթոդի ելքային արդյունքները հանդիսանում են մուտքային ինֆորմացիա հիշողության ՀՆԹՑ-ի խմբավորման մեթոդի համար:

**Երրորդ գլխում** դիտարկվել է ՀՆԹՑ-ի ճարտարապետությունը և ներկայացվել են մշակված մեթոդի փորձնական արդյունքերը իրական RTL կոմպիլատորների հիերարխիայում:

**§3.1 Ենթագլխում** դիտարկվել են ներկառուցված հիշողությունների թեստավորման և վերանորոգման խնդիրները, ներկայացվել է Built-in Self-Test (BIST), Built-in Self-Repair (BISR), Built-in Redundancy Analysis (BIRA) կոնտրոլերների աշխատանքը:

**§3.2 Ենթագլխում** հետազոտվել է ՀՆԹՑ ճարտարապետությունը Synopsys ընկերության DesignWare SMS-ի օրինակով (Նկար 3):



Նկար 3: DesignWare SMS-ի ճարտարապետության օրինակ

Ինչպես տեսնում ենք այն ունի հիերարխիկ կառուցվածք և բաղկացած է հետևյալ կոմպոնենտներից՝ հիշողության նմուշներից իրենց ինտելեկտուալ պատյաններով (անգլերեն՝ Wrapper), պրոցեսորներից (անգլերեն՝ Processor), հիերարխիայի վերին մակարդակի սերվերից (անգլերեն՝ Server), հիշողությունների վերանորոգումների տվյալների պահոցից (Fuse box) և TAP (Test Access Control) ինտերֆեյսից:

Wrapper-ը բաղկացած է հասցեների հաշվիչներից, ռեգիստրներից, տվյալների կոմպարատորներից և մուլտիպլեքսորներից: Այն հանդիսանում է ինտերֆեյս պրոցեսորի և հիշողության միջև: Յուրաքանչյուր հիշողության հետ կապված Wrapper աշխատում է Processor-ի հետ համատեղ՝ ապահովելով հիշողությունների ստուգման և վերանորոգման գործողությունների կատարումը ինչպես նաև հիշողությունների նորմալ աշխատանքը: Յուրաքանչյուր Wrapper կարող է խմբավորել մի քանի հիշողություններ:

Processor-ն ունի կարևորագույն թեստավորման և վերանորոգման ֆունկցիաներ (BIST, BIRA): Այն գտնում է հիշողության սխալները, և վերականգնման հնարավորության դեպքում հատուկ ալգորիթմների օգնությամբ գնտերացնում է համապատասխան վերականգնման ազդանշանը: Այն փոխանցվում է Fuse box-ին, և այնտեղ պահված ինֆորմացիայի հիման վրա իրականացվում է հիշողության անսարք բջիջների վերականգնում: Յուրաքանչյուր Processor կարող է խմբավորել մի քանի Wrapper-ներ:

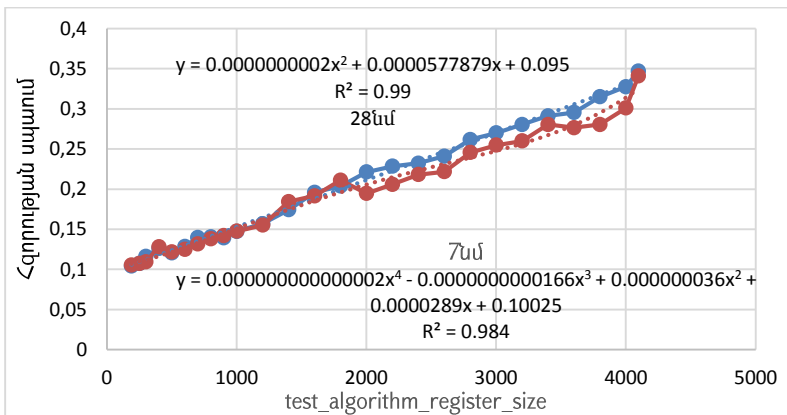
Server-ը DesignWare SMS-ի ամենաբարձր մակարդակի ենթակառուցվածքն է, որը թեստավորման և վերանորոգման արդյունքները փոխանցում է TAP կոտրոլերին JTAG պորտի միջոցով: Յուրաքանչյուր Server կարող է խմբավորել մի քանի Processor-ներ:

Fuse box-ի պահուցը պարունակում է կամ լազերային գրանցմանը մշտական հիշող սարք՝ մեկանգամյա վերանորոգման համար, կամ էներգաանկախ մշտական հիշող սարք՝ բազմակի վերանորոգումների համար:

**§3.3 ենթագլխում** ներկայացվել է RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման ծրագրային համակարգը, որը ներդրվել է «Սինոփսիս» ընկերության DesignWare SMS արտադրանքում: Ծրագրային համակարգն իրականացվել է TCL լեզվով նկարագրված շաբլոնների և սցենարների միջոցով:

**§3.4 ենթագլխում** դիտարկվել են RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման ծրագրային համակարգի կիրառության փորձնական արդյունքներն իրական կոմպիլատորներում: RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման մեթոդի հիման վրա մշակված շաբլոնները ներդրվել են «Սինոփսիս» ընկերության DesignWare SMS արտադրանքում:

Փոքրագույն քառակուսիների մեթոդի կիրառմամբ նախագծման բնութագրերի արագ գնահատման մեթոդի ճշտությունը ստուգվել է բազմաթիվ փորձերի միջոցով: Մաքսիմում ստացված գնահատման սխալը չի գերազանցել 10%-ը: Նկար 4-ում ներկայացված է պոլինոմիալ ռեգրեսիայի կիրառմամբ Processor կոմպիլատորի Test Algorithm Programmability պարամետրի հետ կապված տարրերի քանակի վարքը բնութագրող մոտարկման ֆունկցիայի ստացումը:  $R^2$ -ն փոքրագույն քառակուսիների սխալանքն է, որը գնահատում է մեթոդի ճշտությունը ( $R^2 \rightarrow 1$ ):



Նկար 4 Processor կոմպիլատորի հզորության սպառման գնահատումը պոլինոմիալ ռեգրեսիայի կիրառմամբ

Նանդափակական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման ծրագրային համակարգն առաջին անգամ ընդայնվել է հիերարխիայի բոլոր մակարդակների համար:

Մեքենայական ուսուցման դեպքում Python լեզվի scikit-learn գրադարանի միջոցով ստեղծվել են մոդելներ, որոնք ընդգրկվելով RTL կոմպիլատորների ՇՄՀ-ում, հնարավորություն են տալիս կոմպիլատորի ցանկացած պարամետրերի հավաքածուի դեպքում ավտոմատ գնահատել նախագծման բնութագրերը: Այժմ մեթոդն անցնում է փորձարկումների փուլը «Սինոփսիս» ընկերության DesignWare SMS արտադրանքում: Մինչ այժմ ստացված գնահատման սխալը չի գերազանցել 11.5%-ը:

Աղյուսակ 1-ում բերված են Նկար 3-ում ներկայացված DesignWare SMS-ի օրինակի համար տարրերի քանակի գնահատման տվյալները՝ ստացված փոքրագույն քառակուսիների և մեքենայական ուսուցման մեթոդներով: Յուրաքանչյուր տող ներկայացնում է կոմպոնենտի անունը, տարրերի քանակը՝ ստացված սինթեզի գործիքների միջոցով, տարրերի քանակը՝ գեներացված ավտոմատ սցենարների միջոցով (փոքրագույն քառակուսիների և մեքենայական ուսուցման մեթոդների կիրառման դեպքերում), գնահատման սխալը:

Կոմպիլատորի անունը	Տարրերի քանակը՝ սինթեզի գործիքով	Տարրերի քանակը՝ փոքրագույն քառակուսիների մեթոդի կիրառման դեպքում	Տարրերի քանակը՝ մեքենայական ուսուցման մեթոդների կիրառման դեպքում
Server	1204	1171 (-3%)	1095 (-9%)
Processor1	11796	11115 (-6%)	11005 (-7%)
Processor2	10921	11012 (1%)	11958 (9%)
Wrapper 1	2696	2794 (4%)	2863 (6%)
Wrapper 2	5278	5229 (-1%)	5423 (3%)
Wrapper 3	2301	2176 (-5%)	2098 (-9%)
SMS Network	34196	33497 (-2%)	33000 (-3%)

Ինչպես նկատում ենք մեքենայական ուսուցման կիրառման դեպքում նախագծման բնութագրերի արագ գնահատման արդյունքները մի փոքր զիջում են փոքրագույն քառակուսիներով մեթոդով ստացված արդյունքներին: Սակայն, մեքենայական ուսուցումն ամբողջովին ավտոմատացնում է նախագծման բնութագրերի գնահատման պրոցեսը:

**§3.5 ենթազվխում** ներկայացվել են նախնական պլանավորման գործիքի կիրառության փորձնական արդյունքները:

**§3.6 ենթազվխում** առաջարկվել է մեթոդ RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի «հեշտ» գնահատման համար: Որոշ դեպքերում անհրաժեշտ է RTL կոմպիլատորների միջավայրից անկախ «հեշտ» եղանակով ստանալ ամբողջ հիերարխիայի նախագծման բնութագրերը՝ «մեկ կոճակ» գործողության միջոցով: Մեթոդի հիման վրա մշակվել է ծրագրային գործիք, որն օգտագործելով նախագծման բնութագրերի արագ գնահատման սցենարներն, ընդամենը մեկ հրամանի միջոցով իրականացնում է ամբողջ հիերարխիայի բնութագրերի գնահատումը: Մեթոդը կիրառվել է «Սինոփսիս» ընկերության DesignWare SMS արտադրանքի նախագծման բնութագրերի «հեշտ» գնահատման համար: Գնահատման սխալը չի գերազանցել 10% -ը:



## ԵԶՐԱԿԱՑՈՒԹՅՈՒՆՆԵՐ

- Հետազոտվել են նանոչափական հիշող սարքերի համար RTL թեստային լուծումներ գեներացնող կոմպիլատորների հիերարխիայի նախագծման նոր տիպի վարքագծերը, որոնց հիման վրա իրականացվել է նախագծման բնութագրերի և մուտքային պարամետրերի միջև կախվածությունն արտահայտող մոդելի ընդլայնում [1], [2]:
- Մշակվել է մեթոդ նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման համար, որը հիմնված է ռեգրեսիոն անալիզի փոքրագույն քառակուսիների մեթոդի վրա: Մշակված մեթոդն առաջին անգամ ընդլայնվել է RTL կոմպիլատորների ամբողջ հիերարխիայի նախագծման բնութագրերի արագ գնահատման համար: Մեթոդի գնահատման սխալը չի գերազանցել 10 %-ը [1], [2], [4], [5]:
- Նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման մեթոդի ժամանակատարությունը նվազեցնելու նպատակով իրականացվել է մշակված մեթոդի ընդլայնում՝ հիմնված մեքենայական ուսուցման վրա: Գնահատման սխալը չի գերազանցել 11.5 %-ը [7]:
- Ներկայացվել է RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման մեթոդի ելքային արդյունքների կիրառությունը նախնական պլանավորման խմբավորման մեթոդում [3]:
- Շաբլոնների և սցենարների միջոցով մշակվել է ծրագրային համակարգ՝ նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման համար [1], [2], [4], [5], [7]:
- Նախագծման բնութագրերը քայլ առ քայլ յուրաքանչյուր հիերարխիայի համար հաշվարկելու գործընթացից խուսափելու համար, ներկայացվել է «հեշտ» գնահատման մեթոդ, որն աշխատում է RTL կոմպիլատորների միջավայրից անկախ և իրականացվում է «մեկ կոճակ» գործողության միջոցով [6]:

## ԱՏԵՆԱԿՈՍՈՒԹՅԱՆ ԹԵՄԱՅՈՎ ՀՐԱՏԱՐԱԿՎԱԾ ԱՇԽԱՏՈՒԹՅՈՒՆՆԵՐ

1. L. Martirosyan, “A quick area estimation method for RTL compilers” Proceedings of the NAS RA and SEUA: Technical Sciences, 2012.-Vol. 65.N3, pp. 287-294.
2. L. Martirosyan, “A Quick Power Consumption Estimation Method for RTL Compilers”, Ninth International Conference of Computer science and Information Technologies (CSIT), 2013, pp. 112-116.
3. L. Martirosyan, G. Harutyunyan, S. Shoukourian, Y. Zorian, “A Power Based Memory BIST Grouping Methodology”, East-West Design & Test Symposium (EWDTS), Batumi, 26-29 Sept. 2015, pp. 27-31.
4. L. Martirosyan, “A Quality Characteristics Estimation Methodology for the Hierarchy of RTL Compilers”, East-West Design & Test Symposium (EWDTS), Yerevan, 14-17 Oct. 2016, pp. 68-71.
5. L.A. Martirosyan, “The Quality Characteristics Estimation Methodology for the Nanoscale RTL Compilers”, Proceedings of the NAS RA and SEUA: Technical Sciences, 2017.-Vol. 70. N2, pp. 218-226.
6. L. Martirosyan, “Easy to use evaluation of quality characteristics for a hierarchy of RTL compilers, East-West Design & Test Symposium (EWDTS), Novi Sad, Serbia, 29 Sept.-2 Oct. 2017, pp. 430-434.
7. L. A. Martirosyan, “Machine learning application for the memory BIST network design characteristics estimation”, Proceedings of the NAS RA and SEUA: Technical Sciences, 2018. -Vol. 71. N4, pp. 495-502.

**RESUME**  
**LUSINE ARMEN MARTIROSYAN**

**TOOLS FOR ESTIMATION OF DESIGN CHARACTERISTICS OF RTL COMPILERS  
GENERATING TEST SOLUTIONS FOR NANOSCALE MEMORY DEVICES**

***Introduction***

Digital and analog devices with embedded memories have become an inseparable part of System-on-Chip (SoC). According to Semico Research Corporation's projections average memory area on SoC will be 75% in 2019. Therefore, to achieve profitable yield levels, advanced built-in test and repair solutions are used to diagnose, analyze, and correct the failures of embedded memories. This self test and repair infrastructure is implemented through a hierarchy of levels that can be addressed individually and together they form a hierarchical Built-in Self Test Network (BIST Network).

BIST Network is parameterized for multiple use. The most appropriate level of presentation of parameterized modules is the Register Transfer Level (RTL) since from this level all lower level descriptions of digital schemes can be obtained. For convenience, there is a need to automate the selection of instances and the generation of the corresponding RTL description. For automatic generation of RTL description, a special program tool called RTL Compiler (Generator) is used.

One of the most important points of designing embedded memories is the design planning phase, considering the gate count and power consumption that are the design characteristics of memory BIST Network. Design planning is important at both levels: before designing and after designing. Planning before designing gives an opportunity to get information about BIST Network's characteristics beforehand. Planning after designing is used to obtain a large amount of statistical data.

It is possible to accurately estimate design characteristics of the memory BIST Network by using synthesis tools. Meantime, in the case of the memory BIST Network when thousands of memory instances are generated, it is drastically time-consuming and inefficient. Hence, a quick design characteristics estimation methodology is needed for near-immediate feedback of design feasibility.

At present, the world has embarked on a nanotechnology era where the size of transistors does not exceed a few nanometers. In order to increase the density of embedded memories in SoC, FinFET based memories are used.

Due to the peculiarities of FinFET technology, the behavior of design characteristics of RTL compiler's hierarchy changes. Existing quick design characteristics estimation methodologies don't take into consideration these changes. Hence, the methods' estimation error raises. Additionally, the estimation with existing methods is quite time consuming. Therefore, the development of method for design characteristics quick estimation of RTL compilers which generates test solution for nanoscale embedded memories is still important.

### ***The aim of the thesis***

The purpose of the work is to develop methodology and tools for effective estimation of RTL compiler hierarchy's design characteristics. The method must satisfy the design requirements for nanotechnology and should not be an obstacle for applying to lower integration schemes.

### ***Scientific novelty***

- Developed a method for RTL compiler's design characteristics quick estimation, which generates test solutions for nanoscale embedded memories based on least square method. The estimation error of the method does not exceed 10%.
- The developed method expanded for quick estimation of RTL compilers hierarchy's design characteristics.
- To reduce RTL compilers hierarchy design characteristics quick estimation methodology's implementation time the developed methodology was enhanced using a technique based on machine learning methods. The estimation error of the method does not exceed 11.5%.

### ***Practical value and implementation***

- Developed methods have been used for design characteristics quick estimation of RTL compilers hierarchy, which generates test solutions for nanoscale embedded memories.
- RTL compilers hierarchy design characteristics quick estimation methodology output results are used by BIST Network early design planning tools.
- Method based scripts are used by tools that work independently from RTL compilers hierarchy by "one-push" button concealing hierarchical structure generation instead of step by step executing RTL compilers hierarchy design characteristics estimation.

### ***The following theses are presented for defense***

- Researched the new type of behaviors of RTL compilers hierarchy's design characteristics and based on that the expansion of the model, which describes dependence between design characteristics and input parameters performed.
- Developed a method for design characteristics quick estimation of RTL compiler, which generates test solutions for nanoscale embedded memories, based on least square method. The method was the first time extended for the whole hierarchy of RTL compilers. The estimation error of the method does not exceed 10%.
- To reduce RTL compilers hierarchy design characteristics quick estimation methodology's implementation time the developed methodology was enhanced using a technique based on machine learning methods. The estimation error of the method does not exceed 11.5%.
- Application of RTL compilers hierarchy design characteristics quick estimation methodology output results in design's early planning method.
- A programm system developed with templates and scripts for RTL compilers' design characteristics quick estimation. To avoid step by step design characteristics quick estimation process, the easy estimation method was presented which works independently from RTL compilers environment and is implemented with "one push" button.

# РАЗРАБОТКА ИНСТРУМЕНТАЛЬНЫХ СРЕДСТВ ПОЛУЧЕНИЯ ХАРАКТЕРИСТИК RTL КОМПИЛЯТОРОВ, ГЕНЕРИРУЮЩИХ ТЕСТОВЫЕ РЕШЕНИЯ ДЛЯ НАНОРАЗМЕРНЫХ УСТРОЙСТВ ПАМЯТИ

## *Введение*

Цифровая и аналоговая логика со встроенной памятью стала неотъемлемой частью Систем на Кристалле (СнК). Согласно прогнозам Semico Research Corporation, средняя область памяти на СнК в 2019 году составит 75%. Поэтому для достижения прибыльных уровней доходности используются современные встроенные решения для диагностики, тестирования и исправления ошибок встроенной памяти. Эта инфраструктура самопроверки и восстановления реализуется через иерархию уровней, к которым можно обращаться по отдельности, и вместе они образуют иерархическую встроенную тестовую сеть (ИБТС).

СнК параметризуется для многократного использования. Наиболее подходящим уровнем представления параметризованных модулей является уровень передачи регистра (Register Transfer Level, RTL), поскольку из описания этого уровня можно получить все описания низкого уровня цифровых схем. Для удобства необходимо автоматизировать выбор образцов и генерацию соответствующего описания RTL. Для автоматической генерации RTL описания используется специальный программный инструмент под названием RTL компилятор (генератор).

Одним из ключевых этапов проектирования иерархии RTL компиляторов является планирование проекта с учетом количества вентилях и энергопотребления, которые являются проектными характеристиками иерархии RTL компиляторов. Планирование проекта важно на обоих уровнях, как до, так и после проектирования. Планирование до проектирования дает возможность получить информацию о проектных характеристиках ИБТС заранее. После проектирования планирование используется для получения большого количества статистических данных.

Проектные характеристики ИБТС могут быть точно оценены с помощью инструментов синтеза. Однако в случае большого количества экземпляров этот метод становится чрезвычайно трудоемким и неэффективным. Следовательно, требуется метод быстрой оценки проектных характеристик RTL компиляторов. Для решения этой проблемы были предложены различные методы, которые использовались в конкретных системах для оценки проектных характеристик и обеспечивали достаточную точность.

В настоящее время мир вступил в эпоху нанотехнологий, где размер транзисторов не превышает нескольких нанометров. Для увеличения плотности встроенной памяти в СнК используются памяти на основе FinFet. Из-за особенностей технологии FinFET поведение проектных характеристик иерархии RTL компиляторов изменяется. Существующие методы не учитывают эти изменения. Следовательно, ошибка оценки методов возрастает. Кроме того, оценка с использованием существующих методов довольно трудоемка. Поэтому разработка метода быстрой оценки проектных характеристик RTL компиляторов, которые генерируют тестовые решения для встроенной наноразмерной памяти, по-прежнему актуальна.

## ***Цели работы***

Целью данной работы является разработка методологии и инструментов для эффективной оценки проектных характеристик иерархии RTL компилятора. Метод должен удовлетворять проектным требованиям для нанотехнологий и не должен быть препятствием для применения в схемах с более низкой интеграцией.

## ***Научная новизна***

- Разработан метод быстрой оценки проектных характеристик RTL компилятора, генерирующий тестовые решения для наноразмерной встроенной памяти на основе метода наименьших квадратов. Погрешность оценки метода не превышает 10%.
- Разработанный метод расширен для быстрой оценки проектных характеристик иерархии RTL-компиляторов.
- Для сокращения сроков реализации метода быстрой оценки проектных характеристик иерархии RTL компиляторов была усовершенствована разработанная методология с использованием методов машинного обучения. Ошибка оценки метода не превышает 11,5%.

## ***Практическая ценность и реализация***

- Разработанные методы были использованы для быстрой оценки проектных характеристик иерархии RTL компиляторов, которые генерируют тестовые решения для встроенной наноразмерной памяти.
- Выходные результаты методологии используются инструментами раннего планирования ИВТС.
- Сценарии, основанные на методах и использующиеся инструментами, которые вместо пошагового выполнения оценки проектных характеристик иерархии RTL компиляторов работают независимо от иерархии RTL компиляторов по принципу “одной кнопки”, скрывая генерацию иерархической структуры.

## ***На защиту представлены следующие положения***

- Метод быстрой оценки проектных характеристик RTL компиляторов, генерирующих тестовые решения для встроенной наноразмерной памяти, основанный на методе наименьших квадратов.
- Усовершенствование разработанного метода для быстрой оценки проектных характеристик иерархии RTL компиляторов с использованием машинного обучения для сокращения сроков реализации метода быстрой оценки проектных характеристик иерархии RTL компиляторов.
- Представлено применение выходных результатов методики быстрой оценки проектных характеристик иерархии RTL компиляторов в методе раннего планирования проекта.
- С использованием шаблонов и сценариев была разработана программная система для быстрой оценки проектных характеристик RTL компиляторов.
- Во избежание пошагового выполнения оценки проектных характеристик иерархии RTL компиляторов представлен метод легкой оценки, работающий независимо от иерархии RTL компиляторов по принципу “одной кнопки”.

